H8S/2506 & CycloneⅡ ボード 取扱説明書

本ボードは RENESAS の CPU H8S/2506 と ALTERA の CycloneⅡ FPGA EP2C8 を搭載し、それぞれの持ち味を生かし有機的に機能するよう組み合わされた小型の制御用ボードです。
CPU からは、16 ﾋﾞｯﾄﾃﾞｰﾀﾊﾞｽで接続された FPGA がﾒﾓﾘ(またはﾚｼﾞｽﾀ)の一部として取り扱えます。
また FPGA からは、CPU への割り込み要求信号や WAIT 要求信号を出すことが出来ます。
本器の DI/DO は+3.3V の単一電圧ﾚﾍﾞﾙ または、+5V/+3.3V の両電圧ﾚﾍﾞﾙに対応することが出来ます。FPGA は+3.3V DI/DO 電圧のみですが、CPU を+5V/+3.3V 電圧で動作させることで、+5V(の+P2VCC)DI/DO と+3.3V(の+P1VCC)DI/DO に対応することが出来ます。
+3.3V DI/DO のみであれば、+3.3V 電源 または、(+3.3V ﾚｷﾞｭﾚｰﾀが内蔵されているため)+3.6V～+6V 電源での動作が可能です。
+3.3V DI/DO と+5V DI/DO を使用したい場合、+5V 電源 または+3.3V(+3.6～6V)/+5V 電源が必要です。

特 長

・ＣＰＵ

H8S/2506 は、大容量 512k ﾊﾞｲﾄの F-ROM、32k ﾊﾞｲﾄの S-RAM が内臓され、ｸﾛｯｸ周波数 25MHz で動作する高性能 CPU です。
また、ｻﾌﾞｸﾛｯｸ発信器が搭載されており 32.768kHz での動作も可能です。
2 種類の DI/DO 電圧(+P1VCC、+P2VCC)がｻﾎﾟｰﾄされおり、+3.3V TTL ﾚﾍﾞﾙと+5.0V TTL ﾚﾍﾞﾙの混在した回路に対応しています。

・FPGA

EP2C8 は、ﾛｼﾞｯｸｾﾙ数 8256、RAM 165888 ﾋﾞｯﾄが搭載された高集積度の FPGA です。
CPU 出力の 25MHz ｸﾛｯｸを FPGA に入力できます。FPGA 内臓の PLL でこの周波数を最適な動作周波数にｱﾚﾝｼﾞすることができます。

・128 ﾜｰﾄﾞの S-RAM(16 ﾋﾞｯﾄｱｸｾｽ空間)

CPU 内臓のﾒﾓﾘ以外に、128k ﾜｰﾄﾞ(2M ﾋﾞｯﾄ)の S-RAM が搭載されています。
この S-RAM はｽｰﾊﾟｷｬﾊﾟｼﾀでﾊﾞｯｸｱｯﾌﾟされています(約 1 日間)。さらに外部ﾊﾞｯﾃﾘを接続すれば、長期間のﾃﾞｰﾀ保持が可能です。

・A/D ｺﾝﾊﾞｰﾀ(10 ﾋﾞｯﾄ分解能、CPU 内臓)

ﾊﾞｯﾌｧｱﾝﾌﾟでﾚﾍﾞﾙ変換を行いﾌﾙｽｹｰﾙ±2.5V に対応した A/D 入力が 2 ﾁｬﾝﾈﾙ(AN8、AN9)あります。その他に 0～3V 入力ﾚﾝｼﾞの A/D 入力を 4 ﾁｬﾝﾈﾙ(AN10～AN13)設けています。

・D/A ｺﾝﾊﾞｰﾀ(8 ﾋﾞｯﾄ分解能、CPU 内臓)

ﾊﾞｯﾌｧｱﾝﾌﾟでﾚﾍﾞﾙ変換されたﾌﾙｽｹｰﾙ±2.5V 出力の D/A ｺﾝﾊﾞｰﾀが 2 ﾁｬﾝﾈﾙ(DA0、DA1)あります。－出力に必要な負電源はﾎﾞｰﾄﾞ内で作成されています。

・SCI

RS-232C ﾚﾍﾞﾙ/TTL(+P2VCC)ﾚﾍﾞﾙに切り替え可能な SCI が 2 ﾁｬﾝﾈﾙ(SCI0、SCI3)あります。
その他に、+P2VCC ﾚﾍﾞﾙの SCI1、SCI4 及び +P1VCC ﾚﾍﾞﾙの SCI2 が利用できます。

・CPU DI/DO

+P2VCC(+5V または+3.3V)ﾚﾍﾞﾙの DI/DO が 28ﾋﾞｯﾄ、+P1VCC(+3.3V)ﾚﾍﾞﾙの DI/DO が 20ﾋﾞｯﾄ分、それぞれ別々のｺﾈｸﾀに引き出されています。

・FPGA DI/DO

+3.3V ﾚﾍﾞﾙの DI/DO が 28ﾋﾞｯﾄ分ｺﾈｸﾀに引き出されています。

・その他

8 回路の DIP ｽｲｯﾁ、16ﾋﾞｯﾄ分の LED が搭載されており、これらは CPU DI/DO に接続されています。また、その一部(ｽｲｯﾁ 4ﾋﾞｯﾄ、LED 4ﾋﾞｯﾄ)が FPGA DI/DO にも接続されています。

・ｻｲｽﾞ

ｺﾝﾊﾟｸﾄな 85mm x 100mm ｻｲｽﾞの 4 層基板に、機能別に 8 個のｺﾈｸﾀがあります。

これらのｺﾈｸﾀは必要に応じて部品面、半田面のいずれにも実装できます。

(1)コネクタ

本ﾎﾞｰﾄﾞには下記ｺﾈｸﾀが付属しています。

PS-50PA-D4T1(2 列型 50ﾋﾟﾝﾍｯﾀﾞ、JAE) または 同等品

汎用性を持たせるため、ｺﾈｸﾀは実装しておりません。

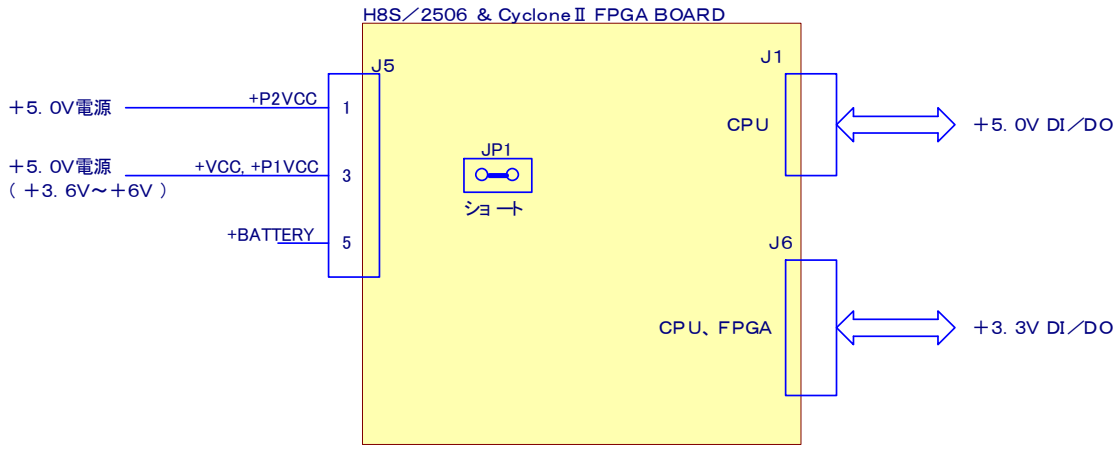
ご利用に適さない場合は、最適なｺﾈｸﾀをご用意ください。

適合ｺﾈｸﾀ例 (xx はﾋﾟﾝ数)

PS-xxPLB-D4T1-FL1	ﾋﾟﾝﾍｯﾀﾞ、ｽﾄﾚｰﾄﾀｲﾌﾟ、JAE
PS-xxPLB-D4LT1-FL1	ﾋﾟﾝﾍｯﾀﾞ、ｱﾝｸﾞﾙﾀｲﾌﾟ、JAE
PS-xxSD-D4TS1-1	ｿｹｯﾄ、ｽﾄﾚｰﾄﾀｲﾌﾟ、JAE
HIF3H-xxPB-2.54DSA	ﾋﾟﾝﾍｯﾀﾞ、ｽﾄﾚｰﾄﾀｲﾌﾟ、ﾋﾛｾ
HIF3H-xxPA-2.54DS	ﾋﾟﾝﾍｯﾀﾞ、ｱﾝｸﾞﾙﾀｲﾌﾟ、ﾋﾛｾ
HIF3H-xxDA-2.54DSA	ｿｹｯﾄ、ｽﾄﾚｰﾄﾀｲﾌﾟ、ﾋﾛｾ

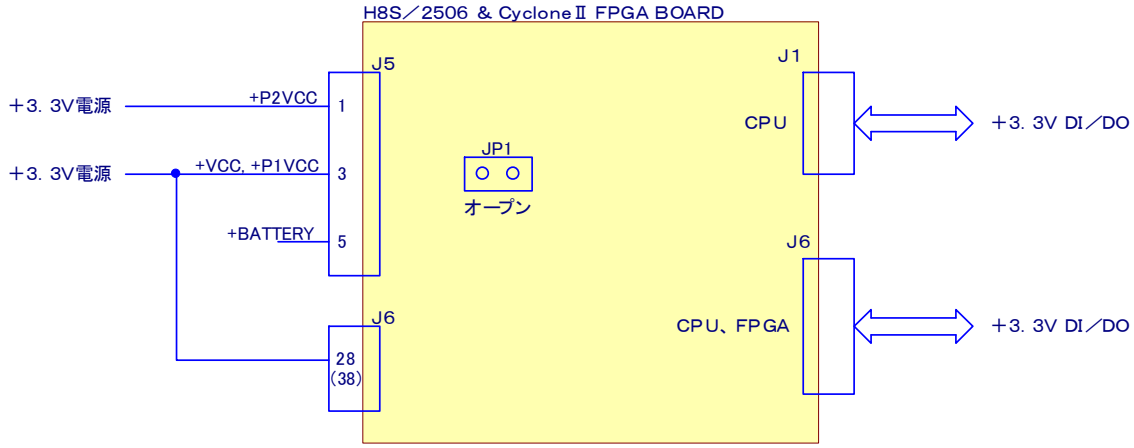
(2)電源接続例

(2－1)+5.0V 単一電源、+5.0V DI/DO と+3.3V DI/DO を使用する場合



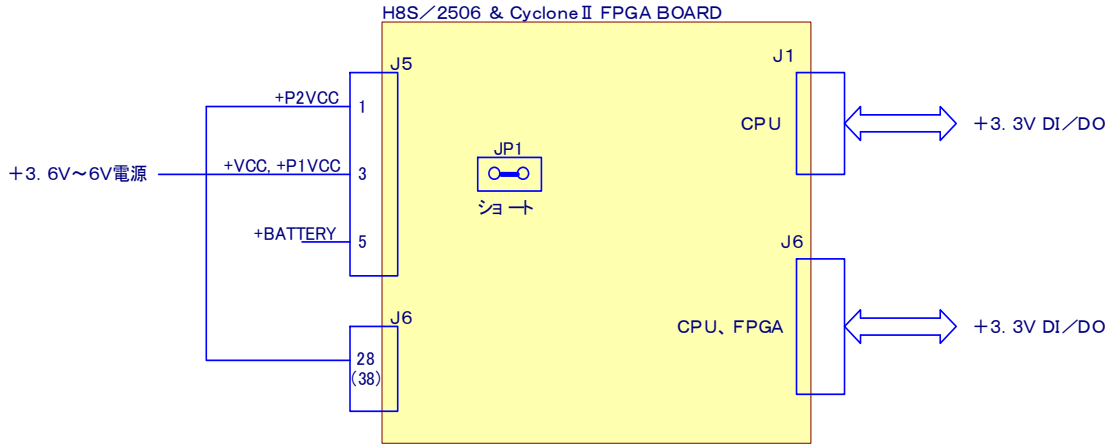
注意) ｼﾞｬﾝﾊﾟ JP1 をｼｮｰﾄしてください。

（２－２)+3.3V 単一電源、+3.3V DI/DO の場合



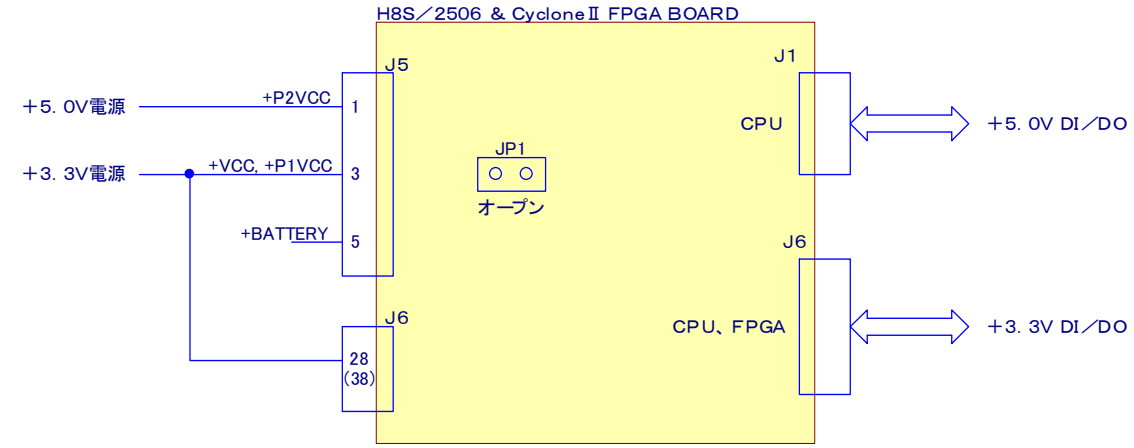
注意）ｼﾞｬﾝﾊﾟ JP1 をｵｰﾌﾟﾝにしてください。

（２－３)+3.6V～+6V 単一電源、+3.3V DI/DO の場合



注意）ｼﾞｬﾝﾊﾟ JP1 をｼｮｰﾄしてください。

（２－４）+3.3V/+5.0V 電源、+5.0V DI/DO と+3.3V DI/DO を使用する場合



注意）ｼﾞｬﾝﾊﾟ JP1 をｵｰﾌﾟﾝにしてください。

（２－５）ﾒﾓﾘｰﾊﾞｯｸｱｯﾌﾟ用ﾊﾞｯﾃﾘｰ（ｵﾌﾟｼｮﾝ）

充電しないﾀｲﾌﾟの 1.5V～3.3V(保持電圧は 1.2V 以上)の一時電池をご使用ください。
公称電圧 2.4V～3.0V のものが最適です。
ﾊﾞｯｸｱｯﾌﾟ時の消費電流は max 5μA です。

(３)FPGA の書き込み

FPGA のプログラムは、ALTERA から無償でﾀﾞｳﾝﾛｰﾄﾞできる QuartusⅡ Web Edition で開発できます。
ｺﾝﾌｨｸﾞﾚｰｼｮﾝ･ﾃﾞﾊﾞｲｽには再書き込みできる EPCS4 が実装されています。
J7 ｺﾈｸﾀに、Byte Blaster を接続し Active Serial Programming ﾓｰﾄﾞで、EPCS4 に書き込むことが出来ます。

(４)A/D、D/A ｺﾝﾊﾞｰﾀ

（４－１）A/D ｺﾝﾊﾞｰﾀ AN8、AN9

- 差動入力電圧範囲　ﾌﾙｽｹｰﾙ±2.5V
- 同相入力電圧範囲　max ±3.0V
- 入力抵抗　約 20kΩ/32kΩ
- 変換ｺｰﾄﾞ　ｵﾌｾｯﾄﾊﾞｲﾅﾘｰ
- 分解能　10 ﾋﾞｯﾄ

（４－２）A/D ｺﾝﾊﾞｰﾀ AN10、AN11、AN12、AN13

- 入力電圧範囲　ﾌﾙｽｹｰﾙ 0～+3.0V
- 入力抵抗　約 10kΩ
- 変換ｺｰﾄﾞ　ｽﾄﾚｰﾄﾊﾞｲﾅﾘｰ
- 分解能　10 ﾋﾞｯﾄ

注意) +3.0V ﾚﾍﾞﾙのﾎﾟｰﾄ信号 P92in、P93in、P94in、P95in 入力としても使用可能です。

（４－２）D/A ｺﾝﾊﾞｰﾀ DA0、DA1

- 出力電圧範囲　ﾌﾙｽｹｰﾙ±2.5V
- 出力電流　max ±5mA
- 変換ｺｰﾄﾞ　ｵﾌｾｯﾄﾊﾞｲﾅﾘｰ
- 分解能　8 ﾋﾞｯﾄ

(５)ｼﾘｱﾙ通信

SCI0 は CPU ﾌﾟﾛｸﾞﾗﾑの書き込みや、ﾃﾞﾊﾞｯｸに使用されます。

(５－１)ｺﾈｸﾀ J3

SCI0 と SCI3 が RS-232C ﾚﾍﾞﾙでｼﾘｱﾙ通信できます。

ｼﾞｬﾝﾊﾟ JP2-1(/SHDN)側をｵｰﾌﾟﾝ、JP2-2(/EN)側をｼｮｰﾄしてください。

このとき、TTL ﾚﾍﾞﾙでのｼﾘｱﾙ通信は行えませんのでｺﾈｸﾀ J4 は使用できません。

(５－２)ｺﾈｸﾀ J4

SCI0 と SCI3 が TTL(+P2VCC)ﾚﾍﾞﾙでｼﾘｱﾙ通信できます。

ｼﾞｬﾝﾊﾟ JP2-1(/SHDN)側をｼｮｰﾄ、JP2-2(/EN)側をｵｰﾌﾟﾝにしてください。

このとき、RS-232C ﾚﾍﾞﾙでのｼﾘｱﾙ通信は行えませんのでｺﾈｸﾀ J3 は使用できません。

(６)ＭＣＵ動作モードの設定

本器の CPU は、動作ﾓｰﾄﾞ 6 に適するよう設計されています。

DIP ｽｲｯﾁ SW1-1～3 で、CPU の MCU 動作ﾓｰﾄﾞを設定します。

SW1-3	SW1-2	SW1-1	
MD2	MD1	MD0	
ON	OFF	ON	F-ROM ﾌﾟﾛｸﾞﾗﾑﾌﾞｰﾄ
OFF	OFF	ON	ﾌﾟﾛｸﾞﾗﾑ実行(ﾓｰﾄﾞ 6)

(６)DIP ｽｲｯﾁ SW2

条件設定などに利用するための８回路の DIP ｽｲｯﾁ SW2 が用意されています。

各ｽｲｯﾁ信号は 10kΩでﾌﾟﾙｱｯﾌﾟされていますので、ON：0／OFF：1 となります。

SW2	接　続　先		備　考
	CPU ﾎﾟｰﾄ	FPGA DI/DO	
1	P40in(ﾋﾟﾝ 71)		
2	P41in(ﾋﾟﾝ 70)		
3	P42in(ﾋﾟﾝ 69)		
4	P43in(ﾋﾟﾝ 68)	ﾋﾟﾝ 91	
5	P44in(ﾋﾟﾝ 66)	ﾋﾟﾝ 7	
6	P45in(ﾋﾟﾝ 65)	ﾋﾟﾝ 28	
7	P46in(ﾋﾟﾝ 64)	ﾋﾟﾝ 51	
8	P47in(ﾋﾟﾝ 63)	ﾋﾟﾝ 63	

(７)LED

ｽﾃｰﾀｽ表示などに利用するための DS1～DS16 の 16 個の LED が用意されています。

これらの LED は CPU、FPGA または、外部信号の何れかからﾄﾞﾗｲﾌﾞできます。

複数箇所に接続されている LED をﾄﾞﾗｲﾌﾞしている出力信号以外の他の DI/DO は､信号の衝突を避けるため入力 または、開放にする必要があります。

LED は、Low ﾚﾍﾞﾙ(約 1mA のｼﾝｸ電流)で点灯します。

LED	接　続　先			備　考
	CPU ﾎﾟｰﾄ	FPGA DI/DO	ｺﾈｸﾀ J6	
DS1	PJ0io(ﾋﾟﾝ 53)			
DS2	PJ1io(ﾋﾟﾝ 52)			
DS3	PJ2io(ﾋﾟﾝ 51)			
DS4	PJ3io(ﾋﾟﾝ 50)			
DS5	PJ4io(ﾋﾟﾝ 49)	ﾋﾟﾝ 79	ﾋﾟﾝ 3	
DS6	PJ5io(ﾋﾟﾝ 48)	ﾋﾟﾝ 99	ﾋﾟﾝ 4	
DS7	PJ6io(ﾋﾟﾝ 47)	ﾋﾟﾝ 120	ﾋﾟﾝ 5	
DS8	PJ7io(ﾋﾟﾝ 46)	ﾋﾟﾝ 132	ﾋﾟﾝ 6	
DS9	PH0io(ﾋﾟﾝ 45)		ﾋﾟﾝ 7	
DS10	PH1io(ﾋﾟﾝ 44)		ﾋﾟﾝ 8	
DS11	PH2io(ﾋﾟﾝ 43)		ﾋﾟﾝ 9	
DS12	PH3io(ﾋﾟﾝ 42)		ﾋﾟﾝ 10	
DS13	PH4io(ﾋﾟﾝ 41)		ﾋﾟﾝ 11	
DS14	PH5io(ﾋﾟﾝ 40)		ﾋﾟﾝ 12	
DS15	PH6io(ﾋﾟﾝ 39)		ﾋﾟﾝ 13	
DS16	PH7io(ﾋﾟﾝ 38)		ﾋﾟﾝ 14	

(８)回路図、ﾌﾞﾛｯｸ図

回路図を公開しております。

別紙 回路図、ﾌﾞﾛｯｸ図を参照してください。

(９)ｺﾈｸﾀﾋﾟﾝｱｻｲﾝ

別紙 ｺﾈｸﾀ表を参照してください。

(１０)CPU ﾎﾟｰﾄ

別紙 CPU ﾎﾟｰﾄ表を参照してください。

(１１)FPGA ﾋﾟﾝｱｻｲﾝ

別紙 FPGA ﾋﾟﾝｱｻｲﾝ表を参照してください。